

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321111

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

C 2 3 C 18/18

18/42

H 0 1 L 21/ 88

B

M

審査請求 未請求 請求項の数4 O L (全 4 頁) 最終頁に続く

(21) 出願番号

特願平6-111622

(22) 出願日

平成6年(1994)5月26日

(71) 出願人 000008105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72) 発明者 小山 哲雄

東京都品川区大崎2丁目1番17号 株式会

社明電舎内

(74) 代理人 弁理士 志賀 富士弥 (外1名)

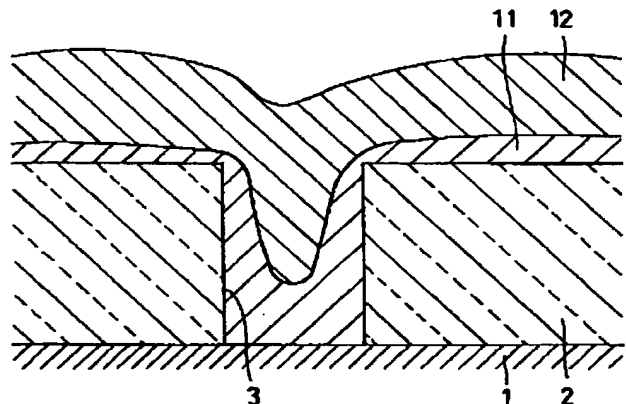
(54) 【発明の名称】 無電解メッキによる集積回路の配線方法

(57) 【要約】

【目的】 集積回路における微細配線中に原子空孔とかボイドが発生せず、且つストレスによる断線を防止するとともに耐エレクトロマイグレーション性に優れた集積回路の配線方法を提供することを目的とする。

【構成】 シリコン基板1上に形成された酸化けい素膜2にエッチング法によりコンタクトホール3を開孔した後、該コンタクトホール3を含む上面から酸化亜鉛層を形成し、この酸化亜鉛よりもイオン化傾向の小さい金属を溶解した水溶液中に浸漬することにより、無電解メッキ法の原理により酸化亜鉛を溶解しながら金属層を還元析出させて導電体としての金属層11に変換し、該金属層11の上面に配線材となる金属を電気メッキもしくは無電解メッキ手段により付着して配線層12を形成するようにした無電解メッキによる集積回路の配線方法を提供する。

本実施例



- 1…シリコン基板
- 2…酸化ケイ素膜(SiO₂)
- 3…コンタクトホール
- 11…金属層
- 12…配線層

【特許請求の範囲】

【請求項1】 シリコン基板上に形成された酸化けい素膜にエッチング法によりコンタクトホールを開口した後、該コンタクトホールを含む上面から酸化亜鉛層を形成し、この酸化亜鉛よりもイオン化傾向の小さい金属を溶解した水溶液中に浸漬することにより、無電解メッキ法の原理により酸化亜鉛を溶解しながら金属層を還元析出させて、上記酸化亜鉛層を導電体としての金属層に変換し、該金属層の上面に配線材となる金属を電気メッキもしくは無電解メッキ手段により付着して配線層を形成したことを特徴とする無電解メッキによる集積回路の配線方法。

【請求項2】 前記酸化亜鉛層の形成方法として、酢酸亜鉛エタノール溶液中に浸漬して真空脱泡した後に乾燥する方法、もしくはスプレーパイロリンス法を用いた請求項1記載の無電解メッキによる集積回路の配線方法。

【請求項3】 酸化亜鉛よりもイオン化傾向の小さい金属で水溶液になりやすい金属として、パラジウムを含む化合物を溶解した塩化パラジウム (PdCl_2) 水溶液中を用いた請求項1、2記載の無電解メッキによる集積回路の配線方法。

【請求項4】 前記配線層の配線材としては、銅、金、ニッケルもしくはこれら金属の積層体を用いた請求項1、2、3記載の無電解メッキによる集積回路の配線方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は主としてICとかLSI等の集積回路における微細配線に使用される金属薄膜を、無電解メッキにより形成するようにした配線方法に関するものである。

【0002】

【従来の技術】 上記ICとかLSI等の集積回路における配線層は、集積度が低い素子の場合には単層のアルミニウム蒸着とかスパッタリング手段が多用されていたが、近年のように集積度が高いLSI集積回路では配線層のより微細化及び多層化がはかられている。そのため、配線に直流電流を流した際のボイド発生に起因する断線事故（エレクトロマイグレーション）とかストレスマイグレーションによるアルミニウム配線層の断線が生じやすいという問題の外、コンタクト部でのアスペクト比がより狭く、且つ深くなった結果、製造不良とか拡散に起因する接触不良等の問題が発生する。

【0003】 これに対処して、現在ではシラン還元法によるタングステン (W) をCVD法 (chemical vapor deposition) により着膜してからアルミニウムを蒸着する方法とか、チタンナイトライド (TiN) をバリアメタルとしてCVD法により着膜し、更にアルミニウムをスパッタリング法又はCVD法によって着膜する方法が多く採用されている。

【0004】

【発明が解決しようとする課題】 しかしながらこのような従来のアルミニウムの蒸着とかスパッタリング手段で形成した配線層は、実際にはアルミニウムの金属膜で構成されておらず、 $1\sim 2\mu\text{m}^2$ の微細なAl粒子の集合体で構成されているため、微細なエッチング加工を施した後で配線層内に粒界が形成されてしまい、この粒界の上面と粒界内部で強度及び抵抗が異なっていることに起因して、集積回路として使用する際の電氣的ストレスとか熱的ストレスによって断線が発生することがあるという難点がある。

【0005】 又、前記のシラン還元法によるタングステンのCVD法による着膜後にアルミニウムを蒸着する方法もしくはチタンナイトライドをバリアメタルとしてCVD法により着膜してからアルミニウムをスパッタリング法又はCVD法によって着膜する方法は、配線層としての膜が表面部分から成長し、もしくは表面への着面という形態となるため、狭くて深いコンタクトホール内に完全に埋め込まれた状態として着膜することが困難であるという問題がある。

【0006】 例えば図2に示したように、シリコン基板1上に形成した絶縁膜としての酸化けい素膜 (SiO_2) 2にコンタクトホール3を開口し、上部からアルミニウム4をターゲットとしてECRプラズマ5からアルゴンイオン Ar^+ を用いてアルミニウムイオン Al^+ を放射した際に、該 Al^+ が微細な粒子であることから配線層6中に多数の原子空孔7、7とかボイド8が生じてストレス、ヒルロック及びクラック発生の原因となる外、特にコンタクトホール3の直径が $1\mu\text{m}$ 以下になり、絶縁膜としての酸化けい素膜2の厚さとコンタクトホール3の直径との比率が2倍以上になると、該コンタクトホール3の側面に金属が付着しにくくなり、配線層6としての埋め込み効果が不完全になりやすいという問題点が生じる。

【0007】 更にアルミニウムのCVD法による着膜は、十分な蒸気圧を有するアルミ化合物が得られていない現状であり、実用化のレベルに達していないという課題も残存している。

【0008】 そこで本発明はこのような従来の集積回路における金属薄膜を利用した微細配線方法が有している課題を解消して、前記原子空孔とかボイド等の発生を防止するとともにストレスによって断線が発生することがなく、且つ耐エレクトロマイグレーション性に優れた集積回路の配線方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】 本発明は上記の目的を達成するために、シリコン基板上に形成された酸化けい素膜にエッチング法によりコンタクトホールを開口した後、該コンタクトホールを含む上面から酸化亜鉛層を形

3

成し、この酸化亜鉛よりもイオン化傾向の小さい金属を溶解した水溶液中に浸漬することにより、無電解メッキ法の原理により酸化亜鉛を溶解しながら金属層を還元析出させて、上記酸化亜鉛層を導電体としての金属層に変換し、該金属層の上面に配線材となる金属を電気メッキもしくは無電解メッキ手段により付着して配線層を形成するようにした無電解メッキによる集積回路の配線方法を提供する。

【0010】上記酸化亜鉛層の形成方法として、酢酸亜鉛エタノール溶液中に浸漬して真空脱泡した後に乾燥する10 方法、もしくはスプレーパイロリンス法を用いる。又、酸化亜鉛よりもイオン化傾向の小さい金属で水溶液になりやすい金属として、パラジウムを含む化合物を溶解した塩化パラジウム(PdCl_2)水溶液中を用いるのが適当である。前記配線層の配線材としては、銅、金、ニッケルもしくはこれら金属の積層体を用いる。

【0011】

【作用】かかる本発明によれば、コンタクトホールを含む上面に酸化亜鉛層を形成してから該酸化亜鉛よりもイオン化傾向の小さい金属で水溶液になりやすい金属の水20 溶液中に浸漬することにより、無電解メッキ法の原理により酸化亜鉛が溶解しながら金属層が還元析出されて、酸化亜鉛層は導電体としての金属層に変換されるので、このようにして導電体化した金属層の上面に配線材となる金属が電気メッキ手段もしくは無電解メッキ手段により付着されて配線層が形成される得られた配線層中には原子空孔とかボイド等が存在しないので、ストレスによる断線が発生せず、耐エレクトロマイグレーション性に優れているという作用が得られる。

【0012】

【実施例】以下図面を参照して本発明にかかる無電解メッキによる集積回路の配線方法の具体的な実施例を、前記従来の構成部分と同一の構成部分に同一の符号を付して詳述する。図1に示したようにシリコン基板1に公知の技術手段を利用して集積回路(IC又はLSI)を形成し、このシリコン基板1上に形成された酸化けい素膜2にエッチング法によりコンタクトホール3を開口する。

【0013】該コンタクトホール3を含む上面に無電解メッキ法により還元析出された金属層11を形成する。40 この金属層11の形成方法を以下に説明する。

【0014】即ち、先ずコンタクトホール3を含む上面に酸化亜鉛(ZnO)層を形成する。この酸化亜鉛層の形成方法として、特定の亜鉛化合物、例えば酢酸亜鉛エタノール溶液中に浸漬する方法とかスプレーパイロリンス法が採用可能である。尚、コンタクトホール3の深さが比較的大きい場合には、上記の酢酸亜鉛エタノール溶液中に浸漬して真空脱泡した後に乾燥する方法が適当である。

【0015】次に上記の酸化亜鉛よりもイオン化傾向の

4

小さい金属で水溶液になりやすい金属、例えばパラジウムを含む化合物を溶解した塩化パラジウム(PdCl_2)水溶液中に浸漬することにより、無電解メッキ法の原理によって酸化亜鉛層中の ZnO を溶解しながらパラジウム金属層を還元析出させる。この操作を行うこと1 によって酸化亜鉛層は導電体としての前記金属層11に変換される。

【0016】無電解メッキとは電気エネルギーを用いないメッキ方法であり、上記したようにパラジウム等の金属塩溶液中に酸化亜鉛層を浸漬することにより、還元剤による強い還元力によって金属が析出される。この無電解メッキは電気メッキに比較して表面の清浄度が要求されるので、必要に応じて予め酸化亜鉛層の表面を脱脂等の化学的表面処理及び表面活性化処理を行う場合もある。表面活性化処理のために公知のセンシタイザ・ア2 クチベータ法を適用しても良い。

【0017】このようにして導電体化した金属層11の上面に配線材となる金属のメッキ液、例えば硫酸銅溶液(CuSO_4)中に浸漬して、電流と電圧をICとかLSIを破壊しないように制御しながら電気メッキを施すことにより配線層12を形成する。

【0018】この配線層12の配線材としては、上記銅以外にも金(Au)とかニッケル(Ni)もしくはこれら金属の積層体を用いることができる。前記電気メッキ法に代えて無電解メッキ手段によってこれら金属の配線層12を形成することも可能である。銅は安価である上、耐エレクトロマイグレーション性が良好であり、金は低抵抗でかつ耐腐食性に優れており、ニッケルは耐拡散性及び耐腐食性が良好であるという特徴を持っている。30

【0019】

【発明の効果】以上詳細に説明したように、本発明にかかる無電解メッキによる集積回路の配線方法は、集積回路が形成されたシリコン基板上の酸化けい素膜にエッチング法によって開口されたコンタクトホールを含む上面に酸化亜鉛層を形成し、該酸化亜鉛よりもイオン化傾向の小さい金属で水溶液になりやすい金属の水溶液中に浸漬することにより、酸化亜鉛が溶解しながら金属層が還元析出されて酸化亜鉛層が導電体としての金属層に変換され、この金属層の上面に配線材となる金属を電気メッキ手段もしくは無電解メッキ手段を用いて付着することによって配線層を形成することができるので、従来のアルミニウムの蒸着とかスパッタリング手段で形成した配線層のように内方に粒界が形成されることがなく、電氣的ストレスとか熱的ストレスによる断線の発生を防止することができる。

【0020】又、本発明によれば従来のアルミニウムの蒸着とかスパッタリング法に比較して、コンタクト部でのアスペクト比がより狭く且つ深くなっても配線層がコンタクトホール内に完全に埋め込まれた状態として着膜

され、製造不良とか拡散に起因する接触不良等が発生せず、しかも配線層中に原子空孔とかボイドが発生しないため、ストレスとかヒルロック及びクラック発生の原因が除去されるとともに耐熱エレクトロマイグレーション性が高くなるという効果が得られる。

【0021】更に前記酸化亜鉛層を湿式で形成したことにより、プロセスのほとんどが低温で実施されて熱による歪が生じることなく、且つコンタクトホール内に金属層が厚く形成されることによって集積回路自体の平坦化にも寄与するという効果が得られる。

【図面の簡単な説明】

【図1】本発明にかかる無電解メッキによる配線方法の一実施例を説明するための要部断面図。

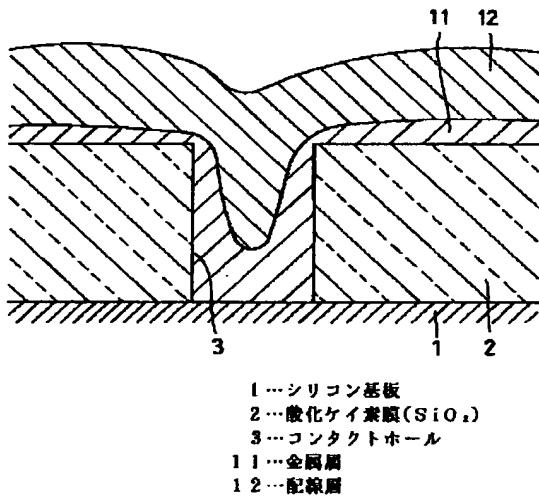
【図2】従来の配線方法の一例を示す概要図。

【符号の説明】

- 1…シリコン基板
2…酸化けい素膜
3…コンタクトホール
11…金属層
12…配線層

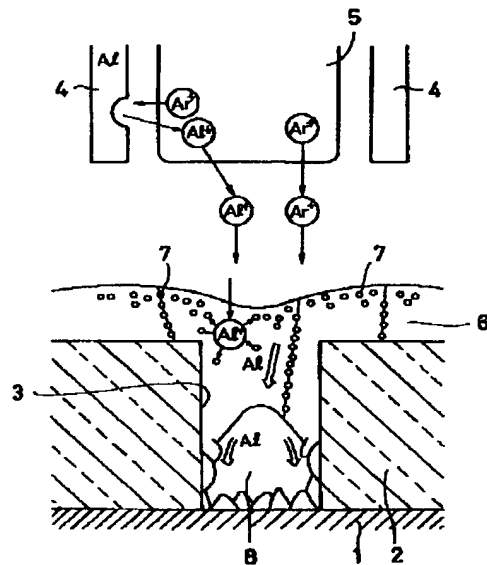
【図1】

本実施例



【図2】

従来例



フロントページの続き

(51)Int.Cl.⁶

C23C 18/52

H01L 21/768

識別記号

庁内整理番号

B

F I

技術表示箇所

H01L 21/90

D

* NOTICES *

JP 07-321111

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to the wiring technique which formed the metal thin film mainly used for the detailed wiring in integrated circuits, such as IC and LSI, by electroless deposition.

[0002]

[Description of the Prior Art] Although the vacuum platings of aluminium and sputtering means of a monolayer were used abundantly when it was an element with a low degree of integration, as for the wiring layer in integrated circuits, such as the above-mentioned IC and LSI, by LSI integrated circuit with a high degree of integration, detailed-izing and multilayering are achieved from the wiring layer's like recent years. Therefore, as a result of the aspect ratio in the contact section becoming more narrowly and deep outside the problem are easy to produce an open circuit of the aluminum wiring layer by the disconnection fault (electromigration) and stress migration resulting from the void occurrence at the time of passing a direct current to a wiring, problems, such as a poor contact resulting from a poor manufacture and a diffusion, occur.

[0003] This is coped with, and at present, after ****ing the tungsten (W) by silane reduction by CVD (chemical vapor deposition), many technique of carrying out the vacuum evaporatono of the aluminum and methods of ****ing by CVD, using titanium night ***** (TiN) as barrier metal, and ****ing aluminum by the sputtering method or CVD further are adopted.

[0004]

[Problem(s) to be Solved by the Invention] However, the wiring layer formed with such the conventional vacuum evaporatono and conventional sputtering means of aluminum Since it does not consist of a metal membrane of aluminum in fact but 1-2 micrometers consists of the aggregate of detailed aluminum grain of 2, After giving a detailed etching manipulation, a grain boundary will be formed in a wiring layer, and it originates in the intensity differing from resistance a top and inside [of a grain boundary] this grain boundary, and there is a difficulty that an open circuit may occur by the electric stress and thermal stress at the time of using it as an integrated circuit.

[0005] Moreover, the method of ****ing aluminum by the sputtering method or CVD, after ****ing by CVD, using as barrier metal the technique or titanium night ***** which carries out the vacuum evaporatono of the aluminum after **** by the CVD of the tungsten by the aforementioned silane reduction Since the layer as a wiring layer grows from a surface fraction or serves as the gestalt of **** to a front face, there is a problem that it is difficult to **** as status completely embedded in the narrow and deep contact hole.

[0006] For example, as shown in drawing 2, opening of the contact hole 3 is carried out to the oxidization silicon layer (SiO₂) 2 as an insulator layer formed on the silicon substrate 1. When aluminum ion aluminum+ is emitted from the efficient consumer response plasma 5 using argon ion Ar+, having used aluminum 4 as the target from the upper part Besides [which many the atomic hole 7 and 7 and the voids 8 arise, and causes stress, hillrock, and a crack initiation into the wiring layer 6 since this aluminum+ is detailed grain], If especially the diameter of the contact hole 3 is set to 1 micrometer or less and the proportion of the thickness of the oxidization silicon layer 2 as an insulator layer and the diameter of the contact hole 3 doubles [more than] A metal comes to seldom adhere to the side face of this contact hole 3, and the trouble where the embedding effect as a wiring layer 6 tends to become imperfect arises.

[0007] Furthermore, **** by the CVD of aluminum is the present condition that the aluminum compound which has sufficient vapor pressure is not obtained, and the technical problem that the level of utilization is not reached also remains.

[0008] Then, this invention cancels the technical problem which the detailed wiring technique using the metal thin film in such a conventional integrated circuit has, and while occurrence of the aforementioned atomic hole, a void, etc. is prevented, it aims at offering the wiring technique of the integrated circuit which an open circuit did not occur by stress and was excellent in electromigration-proof nature.

[0009]

[Means for Solving the Problem] In order that this invention may attain the above-mentioned purpose, after carrying out opening of the contact hole to the oxidization silicon layer formed on the silicon substrate by the etching method, By being immersed into the aqueous solution which formed the zinc-oxide layer from the top containing this contact hole, and melted the parvus metal of an ionization tendency rather than this zinc oxide The reduction precipitation of the metal layer is carried out, melting a zinc oxide by the principle of an electroless deposition method. The above-mentioned zinc-oxide layer is

changed into the metal layer as a conductor, and the wiring technique of the integrated circuit by the electroless deposition which adheres the metal used as wiring material to the top of this metal layer by electroplating or the electroless deposition means, and formed the wiring layer is offered.

[0010] The technique of drying, after are immersed into a zinc acetate ethanol solution and carrying out a vacuum degassing as the formation technique of the above-mentioned zinc-oxide layer, or the spray ***** rinse method is used. Moreover, it is appropriate to use the inside of the palladium-chloride (PdCl_2) aqueous solution which melted the compound containing palladium as a metal which is easy to become the aqueous solution from a zinc oxide with the parvus metal of an ionization tendency. As wiring material of the aforementioned wiring layer, the layered product of copper, gold, nickel, or these metals is used.

[0011]

[Function] By being immersed into the aqueous solution of the metal which is easy to become the aqueous solution from this zinc oxide with the parvus metal of an ionization tendency after forming a zinc-oxide layer in the top containing a contact hole according to such this invention Since the reduction precipitation of the metal layer is carried out and a zinc-oxide layer is changed into the metal layer as a conductor while a zinc oxide melts by the principle of an electroless deposition method Thus, since neither an atomic hole nor a void exists in the obtained wiring layer by which the top of the conductor-ized metal layer adheres to the metal used as wiring material by the electroplating means or the electroless deposition means, and a wiring layer is formed in it The open circuit by stress does not occur but operation of excelling in electromigration-proof nature is obtained.

[0012]

[Example] Below, with reference to a drawing, to this invention, the same sign is attached and one concrete example of the wiring technique of the integrated circuit by such electroless deposition is explained in full detail at the same component as the aforementioned conventional component. Opening of the contact hole 3 is carried out to the oxidization silicon layer 2 which forms an integrated circuit (IC or LSI) in a silicon substrate 1 using a well-known technical means as shown in drawing 1, and was formed on this silicon substrate 1 by the etching method.

[0013] The metal layer 11 by which the reduction precipitation was carried out by the electroless deposition method is formed in the top containing this contact hole 3. The formation technique of this metal layer 11 is explained below.

[0014] That is, a zinc-oxide (ZnO) layer is formed in the top which contains the contact hole 3 first. The technique and the spray ***** rinse method which are immersed into a specific zinc compound, for example, a zinc acetate ethanol solution, as the formation technique of this zinc-oxide layer are employable. In addition, when the depth of the contact hole 3 is comparatively large, the technique of being immersed into the above-mentioned zinc acetate ethanol solution, and drying, after carrying out a vacuum degassing is suitable.

[0015] Next, the reduction precipitation of the palladium metal layer is carried out by being immersed into the palladium-chloride (PdCl_2) aqueous solution which melted the metal which is easy to become the aqueous solution from the above-mentioned zinc oxide with the parvus metal of an ionization tendency, for example, the compound containing palladium, melting ZnO in a zinc-oxide layer by the principle of an electroless deposition method. A zinc-oxide layer is changed into the aforementioned metal layer 11 as a conductor by performing this operation.

[0016] Electroless deposition is the plating technique of not using electrical energy, and a metal separates by the strong reducing power by the reducing agent by immersing a zinc-oxide layer into metal salting-in liquid, such as palladium, as described above. Since a surface cleanliness is demanded as compared with electroplating, this electroless deposition may perform chemical cleanings, such as a degreasing, and surface-activity-ized processing for the front face of a zinc-oxide layer beforehand if needed. You may apply a sensitizer-activator process well-known because of surface-activity-ized processing.

[0017] Thus, it is immersed into the plating liquid of the metal which serves as wiring material on the top of the conductor-ized metal layer 11, for example, a copper-sulfate solution, (CuSO_4), and the wiring layer 12 is formed by giving electroplating, controlling a current and a voltage to destroy neither IC nor LSI.

[0018] As wiring material of this wiring layer 12, the layered product of gold (Au), nickel (nickel), or these metals can be used besides the above-mentioned copper. It is also possible to replace with the describing [above] electroplating method and to form the wiring layer 12 of these metals by the electroless deposition means. Electromigration-proof nature of copper is good the cheap top, and gold is low resistance, and it excels in the corrosion resistance, and has the characteristic feature that a diffusibility-proof and the corrosion resistance of nickel are good.

[0019]

[Effect of the Invention] As explained to the detail above, the wiring technique of the integrated circuit by such electroless deposition to this invention A zinc-oxide layer is formed in the top containing the contact hole by which opening was carried out to the oxidization silicon layer on the silicon substrate in which the integrated circuit was formed by the etching method. By being immersed into the aqueous solution of the metal which is easy to become the aqueous solution from this zinc oxide with the parvus metal of an ionization tendency While a zinc oxide melts, the reduction precipitation of the metal layer is carried out, and a zinc-oxide layer is changed into the metal layer as a conductor. Since a wiring layer can be formed by adhering the metal used as wiring material to the top of this metal layer using an electroplating means or an electroless deposition means A grain boundary is not formed in the inner direction like the wiring layer formed with the conventional vacuum evaporation and conventional sputtering means of aluminum, and occurrence of the open circuit by electric stress or thermal stress can be prevented.

[0020] Moreover, according to this invention, it compares with the conventional vacuum evaporation and the conventional sputtering method of aluminum. Even if the aspect ratio in the contact section becomes more narrowly and deep, a wiring layer is ****ed as status completely embedded in the contact hole. Since the poor contact resulting from a poor manufacture and a diffusion etc. does not occur but neither an atomic hole nor a void moreover occurs in a wiring layer, while the cause of stress, hillrock, and a crack initiation is removed, the effect that picture-proof electromigration nature becomes high is acquired.

[0021] Furthermore, the effect of contributing also to the flattening of the integrated circuit [itself] is acquired by forming a metal layer thickly in a contact hole, without carrying out most processes with the degree of low temperature by having formed the aforementioned zinc-oxide layer with wet, and distortion by heat arising.

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321111

(43)Date of publication of application : 08.12.1995

(51)Int.Cl. H01L 21/3205
C23C 18/18
C23C 18/42
C23C 18/52
H01L 21/768

(21)Application number : 06-111622

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 26.05.1994

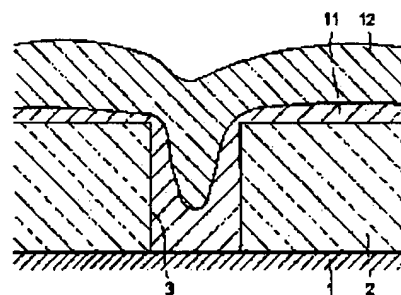
(72)Inventor : KOYAMA TETSUO

(54) METHOD OF FORMING ELECTROLESS PLATED INTERCONNECTION FOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent generation of an atomic hole or a void in the microscopic interconnection on an integrated circuit and prevent electromigration and disconnection due to stress.

CONSTITUTION: After a contact hole 3 has been perforated on the silicon oxide film 2 formed on a silicon substrate 1 using an etching method, a zinc oxide layer is formed on the upper surface including the contact hole 3, and the zinc oxide layer is dipped into an aqueous solution in which the metal, having the ionizational tendency smaller than the zinc oxide, is dissolved. As a result, the metal layer is reduction-precipitated while the zinc oxide is being dissolved by the principle of an electroless plating method, it is converted to a metal layer 11 as a conductor, the metal, which becomes wiring material, is adhered to the upper surface of the metal layer 11 by electric plating or electroless plating, and a wiring layer 12 is formed.



LEGAL STATUS

[Date of request for examination] 24.11.1999

[Date of sending the examiner's decision of rejection] 08.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office